

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09181284 A**

(43) Date of publication of application: **11 . 07 . 97**

(51) Int. Cl. **H01L 27/118**

(21) Application number: **07341514**

(71) Applicant: **NEC CORP**

(22) Date of filing: **27 . 12 . 95**

(72) Inventor: **FUKUI TADASHI**

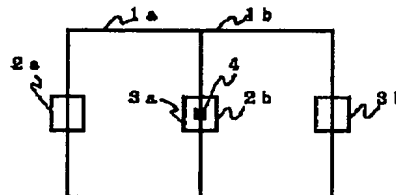
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE AND MULTISTAGE CONNECTING  
STRUCTURE OF ITS CIRCUIT CELL**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the wiring efficiency of the wiring connecting the input- output terminals of adjacent circuit cells of a gate array to each other and to shorten the propagation delay time caused by the wiring.

SOLUTION: Circuit cells 1a and 1b are adjacently arranged in the X-axis direction. The output terminal 3a of the cell 1a and the input terminal 3b of the cell 1b are respectively provided at the central parts of the adjacent sides of the cells 1a and 1b so that the terminals 3a and 3b can constitute one input- output terminal and a contact hole 4 which connects the terminals 3a and 3b to each other is formed between the adjacent sides. Therefore, no wiring space is required for connecting circuits cells adjacently arranged in the X-axis direction and the propagation delay time is shortened. The circuit cells 1a and 1b can be connected to other circuit cells through wiring formed of the same layer as that of the terminal 3a.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181284

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/118

H 0 1 L 21/82

M

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-341514

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 福井 正

東京都港区芝五丁目7番1号 日本電気株式会社内

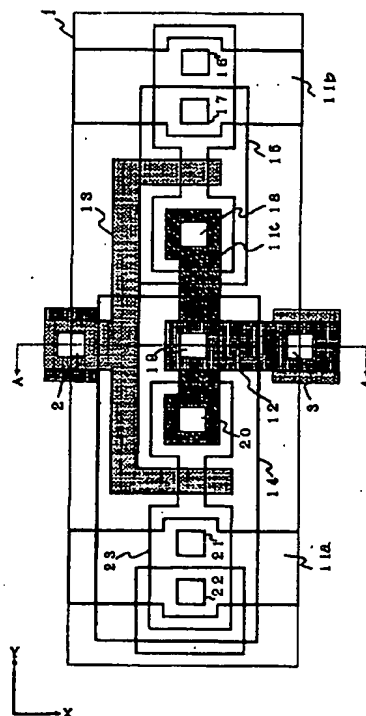
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路装置およびその回路セルの多段接続構造

(57) 【要約】

【課題】 ゲートアレイの隣接する回路セルの入出力端子を相互接続する配線に起因する配線効率の向上と信号の伝播遅延時間の短縮を図る。

【解決手段】 回路セル1 aおよび1 bがX軸方向に隣接して配置されている。この隣接して配置された回路セル辺の中央部には、回路セル1 aの出力端子3 aと回路セル1 bの入力端子3 bとで1つの入出力端子を形成するように配置され、その中心に出力端子3 aと入力端子2 bとを接続するコンタクトホール4が形成されている。したがって、従来は必要であったX軸方向の方向に隣接する回路セル間を接続するための配線スペースが不要となり、伝播遅延時間が短縮される。他の回路セルとの接続は出力端子3 aと同じ層で形成する配線で引き出すことにより接続することが出来る。



## 1

## 【特許請求の範囲】

【請求項1】 平面上のY軸方向の長さが互に等しい矩形からなる複数の回路セルを有し、かつこれらの回路セルをアレイ状に配置してなるセル列で構成される半導体集積回路装置において、前記回路セル内の前記入力端子および前記出力端子を隣接配置する他の回路セルとの境界領域上であってそれぞれの前記回路セルの中心線を挟んで対象の位置にある前記回路セル縁端部に配設し、それぞれの前記入力端子および前記出力端子を多結晶シリコン層、第1の金属層および第2の金属層のうちの少なくとも2つの層とを用いて形成したことを特徴とする半導体集積回路装置。

【請求項2】 前記回路セルを複数個X軸方向、Y軸方向または両方向にそれぞれ隣接配置することによって、それぞれの前記入力端子および前記出力端子を接続するときにのみ、それぞれの端子が前記第1および第2の金属層であればスルーホール接続し、前記多結晶シリコン層および前記第1または第2の金属層であればコンタクト接続する請求項1記載の半導体集積回路装置。

【請求項3】 平面上のY軸方向の長さが互に等しい矩形からなる複数の回路セルを有し、かつこの回路セルがアレイ状に配置されてなるセル列で構成されるとともにこれらの回路セル間の入力端子および出力端子を接続する回路セルの多段接続構造において、前記回路セル内の前記入力端子および前記出力端子が隣接配置される他の回路セルとの境界領域上であって前記回路セルのX軸方向またはY軸方向の中心線を挟んで対象の位置にある前記回路セル縁端部に配設されるとともに、それぞれの前記入力端子および前記出力端子が多結晶シリコン膜と第1または第2の金属膜のいずれかとを用いて形成された回路セルを用い、複数個の前記回路セルをX軸方向、Y軸方向またはこれら両方向にそれぞれ隣接配置することによって、この隣接する一方の前記入力端子と他方の前記出力端子とを接続するときのみスルーホールまたはコンタクト接続するようにした回路セルの多段接続構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置およびその回路セルの多段接続構造に係わり、特にスタンダードセル、ゲートアレイ方式の半導体集積回路装置において、回路セルを配置し、回路セル間を接続する際に、回路セル内の入力端子および出力端子が隣接する回路セル同志の境界領域上にそれぞれの端子が異なる層で形成され、かつ回路セルの中心線に対して対象な位置に配置された状態で、それぞれの端子をスルーホールで接続することによって配線効率の向上と遅延時間の減少を図った半導体集積回路装置およびその回路セルの多段接続構造に関するものである。

## 【0002】

【従来の技術】 半導体素子の微細化技術の進展に伴な

## 2

い、スタンダードセル、ゲートアレイ方式の半導体集積回路装置に集積される回路規模も益々大きくなり、かつその動作周波数も高くなってきている。

【0003】 一般にゲートアレイ方式はマスタスライス方式とも呼ばれ、論理ゲートを構成するためのトランジスタなどの回路素子が規則的に配列され、拡散公定まで終了した半導体ウェーハをあらかじめ用意しておき、ユーザの要求によりその所望する回路機能を構成するための金属配線工程を経てカスタムの半導体集積回路装置に仕上げるものである。

【0004】 このゲートアレイ方式のレイアウト概要の一例を示した図5(a)および図5(b)を参照すると、半導体チップ50上には、その周縁に沿って列状に入出力バッファ51を配置する周辺領域52と、回路セル53を全面に敷き詰めた内部領域54が存在する敷き詰め型と、半導体チップ55上には、その周縁に沿って列状に入出力バッファ56を配置する周辺領域57と、回路セル58を列状に複数列配置し、それぞれの列の間を配線領域59に用いる内部領域60が存在する連続ラムアレイ型がある。

【0005】 これらの半導体路装置の内部に配置された回路セル間を接続する配線の効率を向上させることと、回路セル間の信号伝播の遅延を低減する方法が種々提案されている。その一例で回路セルの入出力端子配置の平面図を示した図6(a)およびこの回路セルを隣接して配置したときの入出力端子間を接続した状態の平面図を示した図6(b)を参照すると、回路セル61は、セルの中央部近辺の水平方向に入力端子62および出力端子63が並べて配置されている。

【0006】 一方、このように入力端子62aおよび出力端子63aが配置された回路ブロック61aおよび入力端子62bおよび出力端子63bが配置された回路ブロック61bが複数個、図6(b)では2個水平方向に並べて配置され、出力端子63bおよび入力端子62b間が配線64で接続されている。

## 【0007】

【発明が解決しようとする課題】 前述した従来の半導体装置では、図7および図8に示すように、入力端子72、72a、72bと、出力端子73、73a、73bが回路セル71の内部に配置されており、隣接する回路セル71a、71bを接続する場合、配線を用いて接続する必要があるため、配線負荷の増加により遅延時間が増加し、かつ、他の回路セル間の配線効率を低くする欠点があった。

【0008】 本発明の目的は、上述した欠点を鑑みなされたものであり、配線効率の向上と遅延時間の減少とを図った半導体集積回路装置およびその回路セルの多段接続構造を提供することにある。

## 【0009】

【課題を解決するための手段】 本発明の半導体集積回路

装置の特徴は、平面上のY軸方向の長さが互に等しい矩形からなる複数の回路セルを有し、かつこれらの回路セルをアレイ状に配置してなるセル列で構成される半導体集積回路装置において、前記回路セル内の前記入力端子および前記出力端子を隣接配置する他の回路セルとの境界領域上であってそれぞれの前記回路セルの中心線を挟んで対象の位置にある前記回路セル縁端部に配設し、それぞれの前記入力端子および前記出力端子を多結晶シリコン層、第1の金属層および第2の金属層のうちの少なくとも2つの層とを用いて形成したことにある。

【0010】また、前記回路セルを複数個X軸方向、Y軸方向または両方向にそれぞれ隣接配置することによって、それぞれの前記入力端子および前記出力端子を接続するときのみ、それぞれの端子が前記第1および第2の金属層であればスルーホール接続し、前記多結晶シリコン層および前記第1または第2の金属層であればコンタクト接続する。

【0011】本発明の回路セルの多段接続構造の特徴は、平面上のY軸方向の長さが互に等しい矩形からなる複数の回路セルを有し、かつこの回路セルがアレイ状に配置されてなるセル列で構成されるとともにこれらの回路セル間の入力端子および出力端子を接続する回路セルの多段接続構造において、前記回路セル内の前記入力端子および前記出力端子が隣接配置される他の回路セルとの境界領域上であって前記回路セルのX軸方向またはY軸方向の中心線を挟んで対象の位置にある前記回路セル縁端部に配設されるとともに、それぞれの前記入力端子および前記出力端子が多結晶シリコン膜と第1または第2の金属膜のいずれかとを用いて形成された回路セルを用い、複数個の前記回路セルをX軸方向、Y軸方向またはこれら両方向にそれぞれ隣接配置することによって、この隣接する一方の前記入力端子と他方の前記出力端子とを接続するときのみスルーホール接続するようにしたことにある。

#### 【0012】

【発明の実施の形態】まず、本発明の第1の実施の形態について図面を参照しながら説明する。図1(a)は本発明の半導体集積回路装置の第1の実施の形態を示す回路セルの入出力端子配置の平面図であり、図1(b)はこの回路セルを用いてX軸方向に回路セルを隣接させて入出力端子間を接続した状態を示す平面図である。

【0013】図1(a)を参照すると、回路セル1の左右の対向する2辺の略中央部に、それぞれ入力端子2、出力端子3が配置されている。これらの端子の中心部に回路セル1の縁端が一致するようにそれぞれ配置される。

【0014】回路セル1として、例えばインバータ100のレイアウトを示した図2を参照すると、このレイアウトは公知技術のレイアウト例に対して本発明に適用するための入力端子および出力端子の位置を変更した例で

ある。n型基板の例で第1金属層11aからなる電源電位線と、第2金属層11bからなる接地電位線と、Pチャネル型トランジスタのソース電極を形成するp<sup>+</sup>拡散層を第1金属層11bに接続するコンタクト17および第1金属層11bをn<sup>+</sup>拡散層を介して基板に接続するコンタクト16と、Pチャネル型およびP-well領域14に形成されるnチャネル型の各トランジスタのゲート電極を形成する多結晶シリコン層13を入力端子2に接続するコンタクトと、Pチャネル型トランジスタのドレイン電極を形成するp<sup>+</sup>拡散層およびnチャネル型トランジスタのドレイン電極を形成するn<sup>+</sup>拡散層をそれぞれ第1金属層11cに接続するコンタクト18および20と、第1金属層11cを第2金属層12に接続し出力端子3のコンタクトに導出するためのスルーホール19と、nチャネル型トランジスタのソース電極を形成するn<sup>+</sup>拡散層を第1金属層11aに接続するコンタクト21および第1金属層11aをp<sup>+</sup>拡散層を介してP-wellに接続するコンタクト22とを有してなる。

【0015】一方、図1(b)を参照すると、例えば図1(a)で示したような回路セル1aおよび1bがX軸方向に隣接して配置されている。この隣接して配置された回路セル1aの中央部には、回路セル1aの出力端子3aと回路セル1bの入力端子3bとで1つの入出力端子を形成するように配置され、その中心に出力端子3aと入力端子2bとを接続するコンタクトホール4が形成されている。

【0016】本発明の特徴とするところは、図2において、回路セル1aおよび1b内の入力端子2a、2bと、出力端子3a、3bとを、X軸方向に隣接する回路セル1a、1bの境界領域上に、入力端子3aと出力端子2bとを異なる層で形成し、回路セルの中心線に対して対象の位置に配置したことにある。

【0017】X軸方向に隣接配置する回路セル1aと1bとを接続する際に、回路セル1aの出力端子3aと回路セル1bの入力端子2bとはそれぞれ異なった層で同じ位置に配置されるため、スルーホール4のみでX方向に隣接する回路セル1aと1bとを接続することが可能となる。

【0018】例えば図2に示したインバータ100をX軸方向に隣接して配置した場合の切断線A-Aにおける断面図を示した図3を参照すると、インバータ100aおよび100bは、それぞれ基板上に酸化膜SiO<sub>2</sub>を介して多結晶シリコン層13が形成されゲート電極を入力端子2aおよび2bに導出する。

【0019】この多結晶シリコン層13の上層には酸化膜SiO<sub>2</sub>を介し第1金属層11が形成され、ドレイン電極をスルーホール19を介してその上層に形成された第2金属層18に接続する。

【0020】この第1金属層11の上層に酸化膜Si

## 5

O<sub>2</sub> を介し形成された第2メタル層18は出力端子3 a および3 b にそれぞれ導出される。

【0021】これらのインバータ100 a および100 b を隣接して配置し、インバータ100 a の出力端子3 a とインバータ100 b の入力端子2 b とを接続する場合は、コンタクトホール4を形成することによりインバータ100 b のゲート電極から導出された多結晶シリコン層13と第2メタル層18を接続する。

【0022】一方、インバータ100 b に隣接して配置されるインバータ100 c は、入力端子2 c をインバータ100 b の出力端子3 b に接続しない場合の例である。すなわち、隣接して配置されてはいるものの、前述したコンタクトホール4を形成しないので多結晶シリコン層13と第2メタル層18が接続されることはない。

【0023】なお、上述した例では、入力端子を多結晶シリコンで形成し、出力端子を第2メタル層で形成しているが、回路セルのレイアウトを一部変更することにより多結晶シリコンと第1メタル層、または第1メタル層と第2メタル層のそれぞれの組み合わせでも実現出来ることは自明である。

【0024】もし、従来例の回路セルにおいて、回路セル内の入力端子および出力端子が回路セルの中心付近に位置している場合、隣接配置する回路セル同士の接続に必要な配線は、最低でも回路セルのX軸方向サイズの $(1/2) \times 2$ 倍の配線が必要であったのが、本発明では全く不要になる。

【0025】よって、従来では必要であったX軸方向に隣接する回路セルを接続するのに必要な配線面積が不要となり、他の回路セル間の接続のために使用することができる。

【0026】また同時に、隣接するセル間の接続のための配線が不要となったのでこの配線に起因した遅延時間の減少を図ることができる。

【0027】一方、他の回路セルとの接続に関しては、回路セル1 a の出力端子3 a と同じ層で形成する配線を引き出すことにより接続が可能となる。また、隣接するセル同士を接続しない場合は、入力端子と出力端子を形成する層が異なるため、端に隣接配置しただけでは接続されることはない。

【0028】図3は本発明の第2の実施の形態における回路セルの構造を示し、図4は第2の実施の形態における回路セルを用いてY軸方向に隣接する回路セルを接続した半導体装置である。

【0029】図3を参照すると、回路セル5は、X軸方向に対向する2辺の中央部であって左側の辺の縁端には入力端子6、右側の辺の縁端には入力端子7が配置され、Y軸方向に対向する2辺の中央部であって上側の辺の縁端には入力端子8、右側の辺の縁端には出力端子9が配置されている。

【0030】一方、図4を参照すると、例えば図3で示

## 6

したような回路セル5 b および8 b がY軸方向に隣接して配置されている。この隣接して配置された回路セルa および5 b のセル辺の中央部には、回路セル5 a の出力端子9 a と回路セル1 b の入力端子7 b とで1つの入出力端子を形成するように配置され、その中心に出力端子9 a と入力端子7 b とを接続するコンタクトホール10が形成されている。

【0031】本発明の特徴とするところは、図3においては入力端子7および出力端子9を図4においては入力端子7 a および7 b と出力端子9 a および9 b とを設けたことにある。

【0032】図4において、入力端子7 a および7 b と出力端子9 a および9 b とを設けることにより、X軸方向に隣接して配置する回路セルの接続のみでなくY軸方向に隣接して配置する回路セル5 a および5 b の接続もスルーホール10のみで行うことが可能となる。

【0033】もし、従来例の回路セルにおいて、回路セル内の入力端子および出力端子が回路セルの中心付近に位置している場合、隣接して配置する回路セル同士の接続に必要な配線は、最低でも回路セルのY軸方向サイズの $(1/2) \times 2$ 倍の配線長が必要であったのが、本発明では全く不要になる。

【0034】よって、第1の実施の形態と同様に、従来では必要であったY軸方向に隣接する回路セルを接続するために必要な配線面積が不要となり、他の回路セル間の接続のために使用することができる。また同時に、隣接して配置するセル間を接続するための配線に起因する信号伝播の遅延時間を減少させることができる。

【0035】他の回路セルとの接続に関しては、回路セル5 a の出力端子9 a と同層で配線を引き出すことにより接続が可能となる。また、隣接するセル同士を接続しない場合は、入力端子と出力端子を形成する層が異なるため、単に隣接配置しただけでは接続されることはない。

## 【0036】

【発明の効果】以上説明したように、本発明の半導体装置は、隣接する回路セル同士の境界領域上に、回路セル内の入力端子および出力端子を、それぞれ異なる層で形成し、かつ回路セルのX軸方向の中心線上であって対向する2辺の縁端部、およびY軸方向の中心線上であって対向する2辺の縁端部にそれぞれ配置し、それぞれの端子をスルーホールで接続することにより、従来では必要であった接続用配線が不要となるため、配線効率の向上による高集積化と回路セル間接続用配線による信号伝播の遅延時間を減少させ高速化を図ることができる。

## 【図面の簡単な説明】

【図1】(a) 本発明の第1の実施の形態における回路セルの入出力端子配置を示す平面図である。

(b) 図1(a)に示した回路セルを用いてX軸方向に隣接する回路セルをその入出力端子間を接続した状態の主

要部の平面図である。

【図2】回路セルのレイアウトの一例を示した平面図である。

【図3】回路セルを隣接配置したときの入力端子および出力端子の接続状態と、非接続状態を模式的に示す断面図である。

【図4】(a) 本発明の第2の実施の形態における回路セルを示す平面図である。

(b) 図4(a)に示した回路セルを用いてX軸方向に隣接する回路セルを接続した半導体集積回路装置の主要部の平面図である。

【図5】(a) 連続カラムアレイ型のゲートアレイの平面図である。

(b) 敷き詰め型のゲートアレイの平面図である。

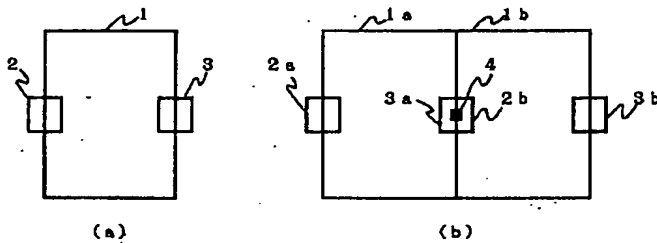
【図6】(a) 従来の回路セルの一例を示す平面図である。

(b) 従来の回路セルを用いてX軸方向に隣接する回路セルを接続した半導体集積回路装置の回路セルの主要部の一例を示す平面図である。

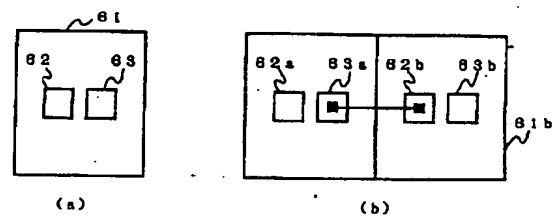
# 【符号の説明】

- 1, 1a, 1b, 5, 5a, 5b, 61, 61b 回路セル  
 2, 2a, 2b, 6, 6a, 6b, 7, 7a, 7b, 62, 62a, 62b 入力端子  
 3, 3a, 3b, 8, 8a, 8b, 9, 9a, 9b, 63, 63a, 63b 出力端子  
 4 メタル層および多結晶シリコン層接続用のコンタクト  
 10 19 メタル層相互接続用のスルーホール  
 14 回路セル接続用の配線  
 50 連続カラムアレイ型のゲートアレイ  
 51, 56 入出力バッファ  
 52, 57 周辺領域  
 53, 58 回路セル  
 54, 60 内部領域  
 100 インバータ  
 100a, 100b, 100c 模式的な断面図で示すインバータ

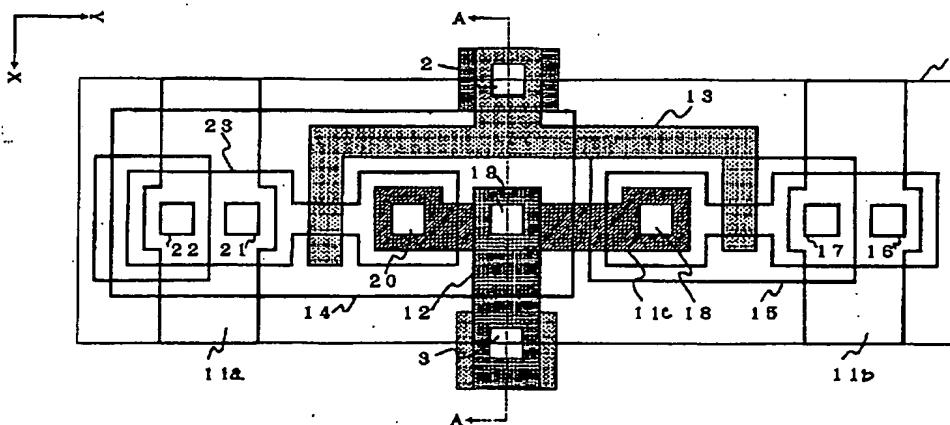
【図1】



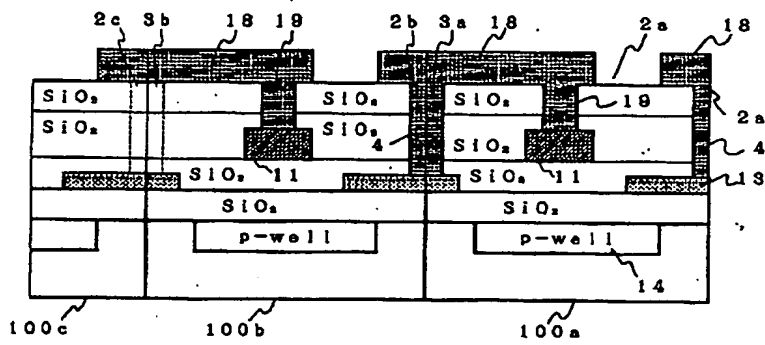
【図6】



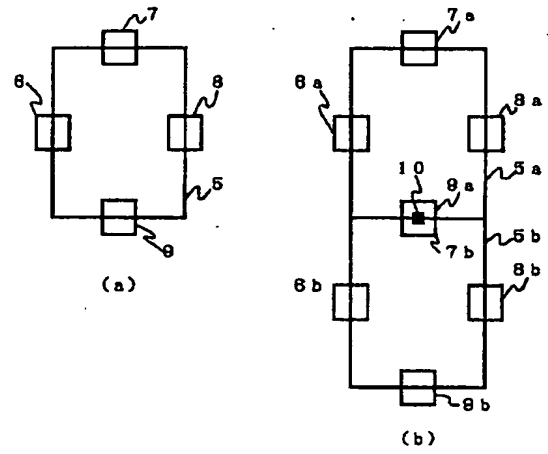
【図2】



【図3】



【図4】



【図5】

